

Family list

1 application(s) for: JP7333652 (A)

1 LIQUID CRYSTAL DISPLAY DEVICE

Inventor: OGAWA KAZUHIRO ; SAKUTA HIROKI (+1) **Applicant:** HITACHI LTD

EC: **IPC:** G02F1/136; G02F1/1368; H01L29/78; (+5)

Publication info: JP7333652 (A) — 1995-12-22

Data supplied from the **esp@cenet** database — Worldwide

LIQUID CRYSTAL DISPLAY DEVICE

Publication number: JP7333652 (A)

Publication date: 1995-12-22

Inventor(s): OGAWA KAZUHIRO; SAKUTA HIROKI; ONO KIKUO

Applicant(s): HITACHI LTD

Classification:

- **international:** G02F1/136; G02F1/1368; H01L29/78; H01L29/786; G02F1/13; H01L29/66; (IPC1-7): G02F1/136; H01L29/786

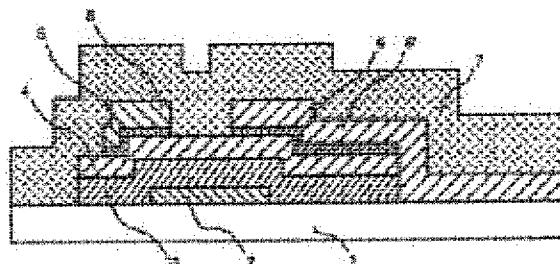
- **European:**

Application number: JP19940130086 19940613

Priority number(s): JP19940130086 19940613

Abstract of JP 7333652 (A)

PURPOSE: To decrease shorting defects between gates and drains and between the gates and pixel electrodes by arranging silicon layers and gate insulating films separately from the silicon layers constituting holding capacitors and arranging these layers and films so as to bring the layers and films into contact with an insulating substrate. **CONSTITUTION:** The gate electrodes 2 are arranged and formed in prescribed patterns on a glass substrate 1. In succession, the gate insulating film 3, amorphous silicon layer 4 and high-concn. n type silicon layer 5 are formed and are then etched at the same photoresist patterns. At this time, the parts to form the TFTs, the lower layers of the signal wirings 6 and patterns (s) 3, 4 to cover the gate electrodes 2 separately from the patterns are arranged and formed.; In succession, the source and drain electrodes 6, 6' and the signal lines 6 and further, the pixel electrodes 6' are arranged in the prescribed patterns. Finally, the high-concn. (n) type silicon layers 5 right above the channels are removed and a protective film 7 is formed over the entire surface in order to form the source drain regions. As a result, the exposed parts of the gate electrodes 2 are extremely decreased.



Data supplied from the **esp@cenet** database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-333652

(43)公開日 平成7年(1995)12月22日

(51)Int.Cl. ⁶ G 0 2 F 1/136 H 0 1 L 29/786	識別記号 500	府内整理番号 9056-4M	F I H 0 1 L 29/78	技術表示箇所 3 1 1 A
---	-------------	-------------------	----------------------	-------------------

審査請求 未請求 請求項の数4 O.L (全7頁)

(21)出願番号 特願平6-130086	(71)出願人 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日 平成6年(1994)6月13日	(72)発明者 小川 和宏 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
	(72)発明者 作田 弘樹 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
	(72)発明者 小野 記久雄 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
	(74)代理人 弁理士 小川 勝男

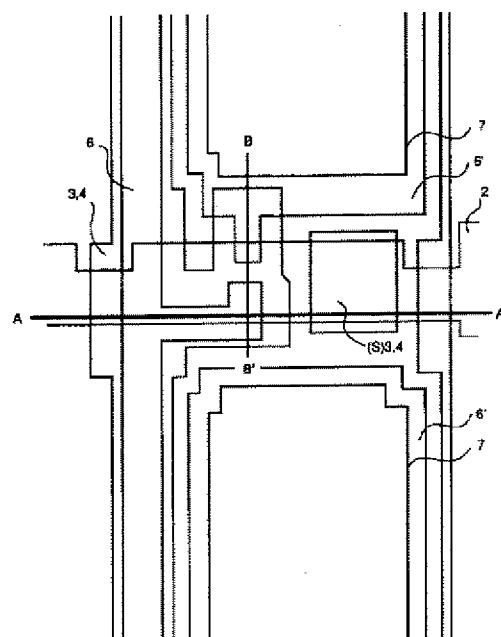
(54)【発明の名称】 液晶表示装置

(57)【要約】

【構成】走査配線上に、TFT部及び信号配線下層のシリコン層と分離し、かつ、走査配線幅よりも大きくシリコン層及びゲート絶縁膜を配置する。

【効果】走査配線の露出部を著しく低減でき、信号配線や画素電極のエッチング残りが生じた場合でも、短絡不良になる確率が低減する。

図1



【特許請求の範囲】

【請求項1】絶縁性基板上に、順次、ゲート電極、ゲート絶縁膜、シリコン層、ソース・ドレイン電極、保護膜が配置されてなる逆スタガ型薄膜トランジスタをスイッチング素子として備え、画像表示領域内でゲート電極配線の一部と前記保護膜が直接積層された構造を有する液晶表示装置において、前記シリコン層及び前記ゲート絶縁膜を、ドレイン電極に映像信号を供給する信号配線及び前記ソース・ドレイン電極と直接積層することなく前記ゲート電極配線上に配置し、前記ゲート絶縁膜が前記絶縁性基板と接することを特徴とする液晶表示装置。

【請求項2】請求項1において、前記シリコン層及び前記ゲート絶縁膜が、前記ゲート電極配線の幅よりも大きい液晶表示装置。

【請求項3】絶縁性基板上に、順次、ゲート電極、ゲート絶縁膜、シリコン層、ソース・ドレイン電極、保護膜が配置されてなる逆スタガ型薄膜トランジスタをスイッチング素子として備え、各画素毎に保持容量を有し、かつ、画像表示領域内でゲート電極配線の一部と前記保護膜が直接積層された構造を有する液晶表示装置において、前記シリコン層及び前記ゲート絶縁膜を、ドレイン電極に映像信号を供給する信号配線及び前記ソース・ドレイン電極と直接積層することなく前記ゲート電極配線上に配置し、前記シリコン層は前記保持容量を構成する前記シリコン層と分離して形成し、前記ゲート絶縁膜が前記絶縁性基板と接することを特徴とする液晶表示装置。

【請求項4】請求項3において、前記シリコン層及び前記ゲート絶縁膜が、前記ゲート電極配線の幅よりも大きい液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタをスイッチング素子として備えた液晶表示装置の構造に係り、特に、信号配線の断線或いはゲート／ドレイン間の短絡不良の救済及びゲート／ドレイン間或いはゲート／画素電極間の短絡不良の低減、に有効な液晶表示装置の構造に関する。

【0002】

【從來の技術】薄膜トランジスタ（以下、TFTと略記）をスイッチング素子として備えたアクティブマトリクス方式の液晶表示装置（以下、TFT-LCDと略記）は、薄型、軽量、低消費電力という特長に加え、CRTに匹敵する高画質が実現できるため、フラットパネルディスプレイの本命と目されている。TFT-LCDの課題の一つは、工程を簡略化して製造スループット向上し、TFT-LCDパネルの低コスト化を実現することである。

【0003】工程を簡略化する最も有効な手段はホトプロセスを削減することである。ホトプロセスは、洗浄、

レジスト塗布、露光、現像などの多くの工程が必要であり、1回のホトプロセス工程を削減することで、工程数を大幅に削減できる。ホトプロセスを削減する手段の一つに特開昭62-32651号公報に記載のデバイス構造及び製造方法がある。図7は從来技術の平面構造を、図8は図7中のA-A'部の断面構造を示す。ガラス基板上にゲート電極及びゲート配線（以下、走査配線）、さらに画素電極が形成され、ゲート電極上には絶縁層を介して半導体層が同一平面パターンで形成されている。半導体層の両端にはソース電極及びドレイン電極が設けられ、ドレイン電極はドレイン配線（以下、信号配線）に、又ソース電極は画素電極に各々接続されている。以上のように、絶縁層及び半導体層を同一パターンで同時にパターンングし、TFTのゲート絶縁膜となる絶縁層と、TFTのチャネル領域となる半導体層を形成することで、ホト工程を一つ削減している。

【0004】

【発明が解決しようとする課題】ところが、從来技術では、絶縁層と半導体層を同一パターンで加工するため、TFTの形成箇所やゲート／ドレインの交差部以外で走査配線が露出する。そのため、ソース・ドレイン電極及び信号配線の加工時にエッティング残りが発生した場合、ゲート／ドレイン間のショート不良（以下、G/Dショートと略記）が発生しやすい。さらに、画素電極を形成する際、走査配線が露出しているために、ゲート／ドレイン間と同様にエッティング残りによるゲート／画素電極間のショート不良も発生しやすい構造である。

【0005】從来技術のもう一つの課題は、信号配線の断線（以下、D断と略記）やG/Dショート時のリペア用配線を形成する経路がないことである。D断の場合は発生箇所を迂回するように、G/Dショートの場合はショート箇所の両側で信号配線を切断してそれを迂回するように、リペア用配線を形成することで、線欠陥を点欠陥にすることできる。しかし、從来技術では、走査配線が露出しているため、リペア用配線を形成する場所がなく、線欠陥を救済することができない。

【0006】以上のように、從来技術ではショート不良の増加、線欠陥の救済不可、という課題がある。

【0007】本発明は、かかる問題点を改善するものであり、その一つの目的はG/Dショート、ゲート／画素電極間ショートを低減し、液晶表示装置の歩留まりを向上することにある。

【0008】又、本発明の他の目的は、D断やG/Dショートが発生した場合を考慮して、リペア用配線を形成する経路を設け、線欠陥を救済することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明ではシリコン層及びゲート絶縁膜を、信号配線及びソース・ドレイン電極と直接積層することなく走査配線上に配置し、かつ、前記ゲート絶縁膜が絶縁性基

板と接するように配置する。さらにこの時、好ましくは前記シリコン層及びゲート絶縁膜を走査配線の幅よりも大きくする。以上の手段により、前記シリコン層及びゲート絶縁膜はフローティングの状態で、走査配線を被覆する。又、TFTを形成するシリコン層及びゲート絶縁膜、さらには信号配線の下層に存在するシリコン層及びゲート絶縁膜とは、プロセス上の最小加工寸法の値だけ離して配置することで、走査配線の露出面積を最小にすることができる。

【0010】前記目的を達成するための別の手段は、液晶表示装置の各画素に保持容量を配置してある場合、シリコン層及びゲート絶縁膜を、信号配線及びソース・ドレイン電極と直接積層することなく走査配線上に配置し、かつ、前記シリコン層及びゲート絶縁膜を保持容量を構成するシリコン層と分離して配置し、かつ、前記ゲート絶縁膜が絶縁性基板と接するように配置する。さらにこの時、好ましくは前記シリコン層及びゲート絶縁膜を走査配線の幅よりも大きくする。又、隣接するシリコン層パターンとの間隔は、上記第1の手段のようにプロセス上の最小加工寸法とすることが望ましい。

【0011】上記手段では、絶縁性基板と記述したが、これはガラス基板やプラスチック基板の他に、例えば、ガラス基板上にSOG (Spin On Glass) を形成したものなども含む。

【0012】

【作用】第1の手段によれば、シリコン層とゲート絶縁膜を同一のホトプロセス工程で加工した場合においても、ゲート配線の露出部を著しく低減でき、さらに画素電極のバーニング時にゲート配線を可能な限り被覆しておくことができることから、以下の効果が得られる。

【0013】第1の効果は、従来露出していた走査配線上に、新たにシリコン層及びゲート絶縁膜を配置したため、G/Dショートが発生する可能性のある面積を著しく低減できる。これにより、液晶表示装置を製造した場合、ソース・ドレイン電極の加工時に、現像不良やエッチング不良により、本来エッチオフされる箇所に電極材料が残った場合でも、従来技術と比較して、G/Dショート歩留まりが向上する（線欠陥の削減）。

【0014】第2の効果は、第1の効果と同様に、画素電極バーニング時に、走査配線を可能な限りシリコン層及びゲート絶縁膜で被覆できるため、走査配線／画素電極間でショートを起こす可能性がある面積を著しく低減できる。従って、液晶表示装置を製造した場合に、ゲート／画素電極間ショート歩留まりが向上する（点欠陥の削減）。

【0015】第3の効果は、ソース・ドレイン電極及び信号配線下部のシリコン層と分離して形成したシリコン層及びゲート絶縁膜を走査配線の幅よりも大きくすることで、D断が発生した場合にはD断箇所を迂回するよう、G/Dショートが発生した場合には発生箇所の両側

で信号配線を切断してそれを迂回するように、リベア用配線をシリコン層及びゲート絶縁膜上に形成することで、D断及びG/Dショートによる線欠陥を点欠陥にすることができる。

【0016】さらに、各画素に保持容量を備えた液晶表示装置の場合、保持容量を形成するためのシリコン層及びゲート絶縁膜と分離して形成したシリコン層及びゲート絶縁膜を、第2の手段に示すように配置することで、第1の手段と同様な効果が得られる。

【0017】

【実施例】以下、本発明の実施例を図面を用いて詳細に説明する。

【0018】図1、図2及び図3は、本発明の一実施例を示す説明図であって、図1は液晶表示装置を構成するアクティブマトリクス基板の画素部レイアウトの平面図を、図2及び図3は図1のA-A'及びB-B'部の断面図を示す。図2はゲート配線上の層構造を、図3はスイッチング素子となるTFTの断面構造を示す。以下に実施例の構成並びに製造手順を示す。

【0019】図1、図2、図3において、1がガラス基板、2はゲート電極、3はゲート絶縁膜、4は非晶質シリコン層、5はオーミックコンタクト層となる高濃度n型シリコン層、6及び6'はドレイン電極、信号配線、ソース電極及び画素電極となる第2の導電膜、7は保護膜である。ここで、第2の導電膜に関しては、例えば、画素電極とソース・ドレイン電極を異種の導電膜で構成しても何ら問題はない。又、その際にソース・ドレイン電極を構成する第2の導電膜は、複数種類の導電膜を積層した構造でも何ら問題はない。

【0020】ガラス基板1上にゲート電極2を所定のパターンに配置形成する。これは例えば、スペッタ法によりCr膜を120nmの膜厚で成膜し、ホトエッチング工程により加工する。Cr膜の代わりにTa, Mo, Al, Ti, ITOなどの導電膜や、さらに導電膜の積層膜或いはそれらの合金でも良い。ゲート電極2は、TFTをオン・オフするための電圧を供給する働きをする。

【0021】続いて、ゲート絶縁膜3、非晶質シリコン層4、高濃度n型シリコン層5を形成した後、同一のホトレジストパターンでエッチング加工する。その際、図1に示すようにTFTを形成する部分と信号配線6の下層、並びにパターンと分離してゲート電極2を被覆するように、パターン(S)3、4を配置形成する。この時、ゲート絶縁膜3は、シリコン酸化膜(SiN)やシリコン酸化膜(SiO)、さらには両者の積層膜、或いはゲート電極材料の陽極酸化膜とSiN, SiOの積層膜などが用いられる。又、本実施例では信号配線6の下層全体にゲート絶縁膜3、非晶質シリコン4、高濃度n型シリコン層5を配置したが、ゲートとドレインの交差部のみに配置しても良い。TFTの形成部及び信号配線6下層（ゲート／ドレイン交差部）のゲート絶縁膜3及

びシリコン層4のパターンと、それと分離してゲート配線を被覆するようにして形成したゲート絶縁膜及びシリコン層(S)3、4のパターンの間隔については、小さい程効果が大きくなり、好ましくはプロセス上の最小加工寸法にする。さらに、シリコン層とゲート絶縁膜の加工形状については、S F₆系のガスを用いてドライエッティングすることで、端部を順テーパ加工することができる。

【0022】 続いて、ソース・ドレイン電極6、6'及び信号配線6、さらには画素電極6'を所定のパターンに配置形成する。本実施例では、ITOをスピッタ法により280nmの膜厚で成膜し、ホトエッティング工程により加工する。この時、ソース・ドレイン電極6、6'及び信号配線6と画素電極6'は、異種材料で構成しても良い。例えば、ソース・ドレイン電極及び信号配線をMoとAlの積層膜、画素電極をITOで構成するなど、走査配線と異なる材料であれば良い。その理由は、走査配線と同一材料で構成した場合、ソース・ドレインのエッティング加工時に、ゲート材料も消失してしまうためである。本実施例で画素電極側をソースとしたが、これはソース・ドレイン電極間に印加されるバイアス電位の極性により決まるものであり、ここでは特にソースとドレインを区別するものではない。

【0023】 最後に、ソース・ドレイン領域を形成するために、チャネル直上の高濃度n型シリコン層を除去し、保護膜7を全面に成膜する。ホトエッティング工程により、端子部の保護膜を選択除去する。保護膜は、例えばSiNなどを用いる。

【0024】 本実施例の構造により、シリコン層とゲート絶縁膜を同一レジストでエッティング加工した場合にも、ゲート電極2の露出部を著しく低減することができる。一方、ゲート電極2全体にゲート絶縁膜を被覆しておくプロセスもあるが、これはTFTを形成するためのホトプロセスと、ゲート端子上のゲート絶縁膜を除去するためのホトプロセスが必要となり、工程数が増加してしまう。

【0025】 ゲート電極2上に新たに配置したシリコン層及びゲート絶縁膜のパターン(S)3、4は、TFTを形成するシリコン層及び信号配線下層に配置するシリコン層と分離しておく必要がある。もし、両者のいずれかに接続している場合、走査配線容量或いは信号配線容量が増加し、所望の画質を得ることができない。これを回避する手段として、配線抵抗を下げる考えられるが、膜厚を厚くすると段差が大きくなり耐圧不良を発生する可能性があり、配線幅を広げると開口率が低下する問題が生じる。

【0026】 ゲート電極2上にTFT部及び信号配線下層のシリコン層と分離して配置したシリコン層及びゲート絶縁膜(S)3、4は、走査配線幅よりも大きくなる。これにより、画素電極材料がエッティング不良によ

り、ゲート電極2と重なる領域まで残った場合でも、ゲート/画素電極間のショートを防ぐことができる。その結果、液晶表示装置の点欠陥を低減できる。さらに、信号配線6やソース・ドレイン電極6、6'材料がエッティング不良によりパターン不良が発生した場合にも、分離して配置したシリコン層及びゲート絶縁膜(S)3、4上に残った場合、G/Dショートにならない。従って、G/Dショートの発生頻度も低下し、歩留まりが向上する。

【0027】 次に、各画素に保持容量を備えた液晶表示装置の一実施例を示す。図4は、本実施例の画素レイアウトの平面図を示す。走査線等、各構成要素は図1と同じため省略する。走査線上には、TFT及び保持容量(C)3、4が形成されており、それと分離してシリコン層及びゲート絶縁膜パターン(S)3、4を配置する。各々分離して形成したシリコン層及びゲート絶縁膜パターンの間隔を、プロセス上の最小加工寸法に設定することで、走査配線の露出部を最小にすることができる。

【0028】 製造手順については、保持容量を備えているものの、前述の実施例と同様である。

【0029】 他のシリコン層と分離したシリコン層及びゲート絶縁膜(S)3、4を新たに配置することで、ソース・ドレイン電極材料や画素電極材料のエッティング残りが生じた場合でも、G/Dショートやゲート/画素電極間ショートを低減することができる。ここで、ショートになる場合と本構造でショートを回避できる場合について示す。本構造で回避できない場合は、図4中のa-a'、b-b'、c-c'にエッティング残りが発生した場合である。しかし、図4中のd-d'、e-e'、f-f'にエッティング残りが発生した場合には、ショート不良にならない。以上のように、新たにシリコン層及びゲート絶縁膜(S)3、4を配置することで、従来ではショート不良になっているいくつかの箇所を良品にすることができる。

【0030】 図5は、図1、図2、図3に図示されたTFT基板を組み込んだ液晶表示装置の構成の一例を示す断面図であって、前述の構成における1画素形成部分を示すものである。図5において、8は第1の配向膜、9は第2の配向膜、10は対向基板用ITO、11はカラーフィルタ素子、12は遮光用ブラックマトリクス、13は対向基板、14は第1の偏光板、15は第2の偏光板、16は液晶である。

【0031】 そして、アクティブマトリクス基板となるガラス基板1には、一方の表面に図1に図示されたTFTや画素電極が配置形成されて、それらの上部に第1の配向膜8が配置形成され、他方の表面に第1の偏光板14が貼り付けられている。又、対向基板13には、一方の表面に遮光用ブラックマトリクス12、カラーフィルタ素子11、対向基板用ITO10、第2の配向膜9

が、順次、形成され、他方の表面に第2の偏光板15が貼付られている。さらに、アクティブマトリクス基板と対向基板13との間には、液晶16が封入されている。

【0032】この構成による本例の液晶表示装置の動作は、既知の液晶表示装置の動作と実質的に同じものであり、本例の液晶表示装置についての動作説明は省略する。

【0033】本例の液晶表示装置は、既知の液晶表示装置と比較して以下の点で優れている。既知の液晶表示装置に用いるアクティブマトリクス基板の構造には、

(1) シリコン層とゲート絶縁膜を個別にホト加工したもの、(2) シリコン層とゲート絶縁膜を同一のホトレジストで加工したもの、の2種類がある。(1)では、走査配線をゲート絶縁膜で被覆しておけるため、G/Dショートが少ないという長所を持つが、(2)と比較してホト工程が多く、工程数が多いという短所を持つ。一方、(2)は、シリコン層とゲート絶縁膜を同一のホトレジストで加工するため、工程が簡略になる長所を持つが、信号配線の加工時に走査配線が露出しており、ショート不良が増加する課題がある。

【0034】以上の問題点に対して、本例ではシリコン層とゲート絶縁膜を同レジストで加工し、工程数を削減するとともに、新たに図1に示すシリコン層及びゲート絶縁膜(S)3、4を走査配線上に配置することで、走査配線の露出部を著しく低減することができる。従って、G/Dショート及びゲート/画素電極間ショートを低減することができる。さらに、D断が発生した場合にはそれを迂回するように、G/Dショートが発生した場合には不良箇所の両側で信号配線を切断してそれを迂回するように、リペア用配線をシリコン層及びゲート絶縁膜(S)3、4上に形成することで、線欠陥を点欠陥に変えることができる。従って、本発明の構造により、液晶表示装置の製造歩留まりが向上する。

【0035】次に、D断やG/Dショートが発生した場合のリペア方法の一例を示す。図6は、本発明を適用したアクティブマトリクス基板の平面図を示す。本実施例では、ゲート材料としてTaを、ソース・ドレイン電極及び信号配線にはCrを用い、画素電極はITOで構成した。以下、G/Dショートが発生した場合のリペア方法の一例を示す。図6中の(A)部にエッチング残りが存在し、G/Dショートが発生したとする。この場合、G/Dショートを起こした箇所の両側(図6中の(B)部)で信号配線を切断する。続いて、図6(B)部を迂回するように、リペア用配線としてPtを形成する。その際、走査配線の乗り越え部でリペア用配線は、TFT

及び信号配線下層のシリコン層及びゲート絶縁膜と分離して形成したシリコン層及びゲート絶縁膜(S)3、4の上部に形成する。これにより、従来ではリペアできなかつたG/Dショートによる線欠陥を点欠陥に変えることができる。D断については、発生箇所を迂回するようリペア用配線を形成することで、G/Dショート同様に線欠陥を点欠陥にすることができます。このように、シリコン層及びゲート絶縁膜(S)3、4を新たに配置することで、線欠陥を救済できる効果が得られる。

【0036】

【発明の効果】本発明によれば次の効果が達成される。

【0037】(1) TFT部及び信号配線下層のシリコン層及びゲート絶縁膜と分離して、走査配線上にシリコン層及びゲート絶縁膜を配置することで、走査配線の露出部を著しく低減することができる。従って、信号配線や画素電極がエッチング不良により、本来除去されるべき箇所に残存した場合でも、G/Dショート、走査配線/画素電極間ショートの発生確率が低減する。

【0038】(2) 新たに走査線上に形成したシリコン層及びゲート絶縁膜を走査配線の幅よりも大きくしておきことで、G/DショートやD断を救済するためのリペア用配線をシリコン層及びゲート絶縁膜上に形成することで、線欠陥を点欠陥に変えることができる。

【図面の簡単な説明】

【図1】本発明を適用したアクティブマトリクス基板の画素部の平面図。

【図2】図1に図示された画素部のA-A'部の断面図。

【図3】図1に図示された画素部のB-B'部の断面図。

【図4】各画素に保持容量を備えたアクティブマトリクス基板に本発明を適用した際の平面図。

【図5】図1に図示されたアクティブマトリクス基板を組み込んだ液晶ディスプレイの構成の一例を示す断面図。

【図6】G/Dショートの救済方法の一例を示す平面図。

【図7】従来のアクティブマトリクス基板の構成を示す平面図。

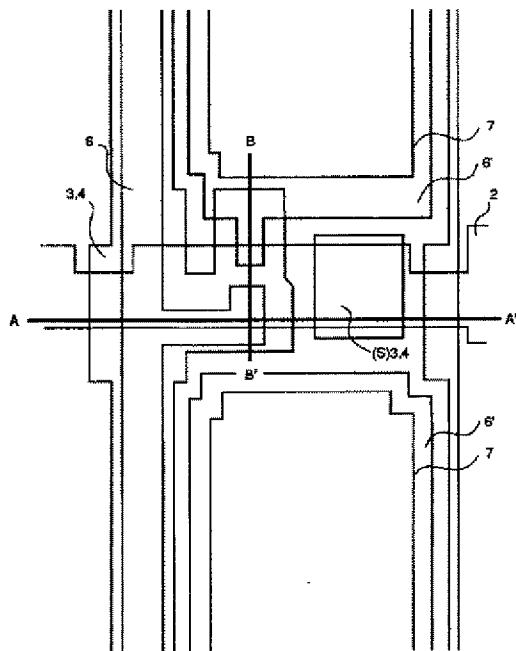
【図8】図7に図示されたアクティブマトリクス基板のA-A'部の断面図。

【符号の説明】

2…ゲート電極、3…ゲート絶縁膜、4…非晶質シリコン層、6…ドレイン電極、6'…信号配線、7…保護膜。

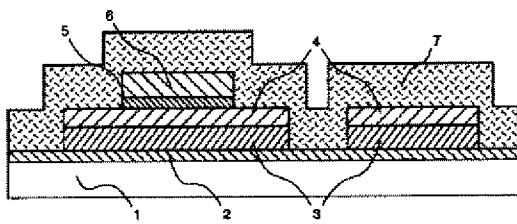
【図1】

図 1



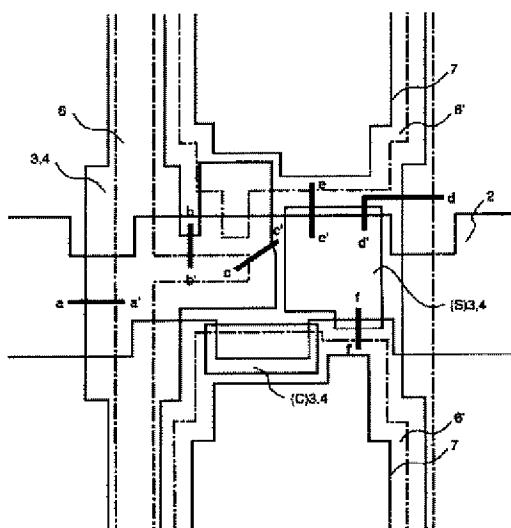
【図2】

図 2



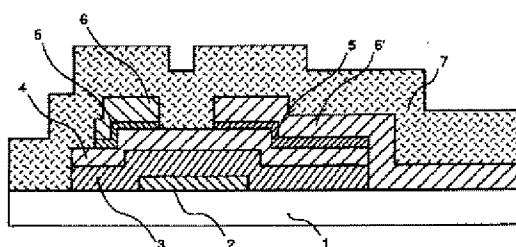
【図4】

図 4



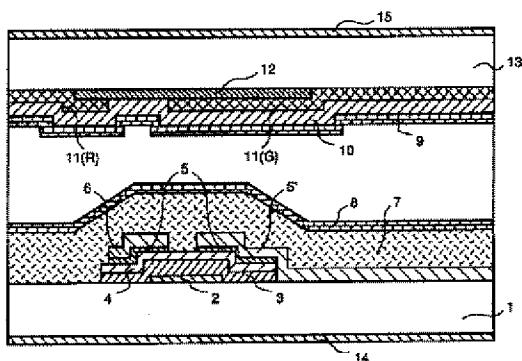
【図3】

図 3



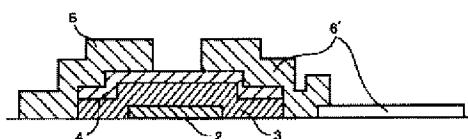
【図5】

図 5



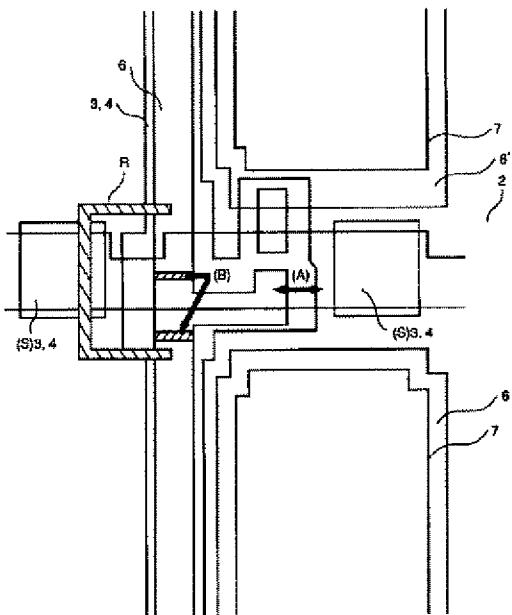
【図8】

図 8



【図6】

図 6



【図7】

図 7

